

ASIC bezeichnet die Integration von unterschiedlichsten Schaltungsteilen (z.B. analog, digital, Speicher, optische Komponenten) auf einem Chip mit festgelegtem Prozess (z.B. CMOS, CMOS/Flash, Bi-CMOS, etc.) und Strukturbreite (0,8 μm , 0,35 μm etc.). HDP umfasst alle hochdichten Aufbau- und Verbindungstechniken, die auf der Basis von meist ungehäuseten ICs und hochdichten Leitungsträgern eine Miniaturisierung von Schaltungsgruppen ermöglichen. Diese Technologie ist dabei der Standard-SMD-Technik sehr verwandt.

Diese zwei Technologien sollen im Rahmen einer Entscheidungsvorbereitung anhand von Basiskriterien Schaltungstyp, Komplexität, und Stückzahlen beurteilt und hinsichtlich ihrer Kenngrößen Kosten, Risiko und Durchlaufzeit verglichen werden.

Schaltungstyp, Komplexität und Stückzahlen

Vom Prinzip her am besten geeignet zur Integration sind rein digitale Schaltungen. Hier gab es in der Vergangenheit die größten Fortschritte, und im Nachzug sind analoge Schaltungen mehr und mehr digitalisiert worden, um von diesem Integrationspotenzial zu profitieren. In der Folge steigen die Gatterzahlen von rein digitalen ASICs weiter an. Entsprechend steht eine Vielzahl von Tools und Werkzeugen (IP-Cores) zur Verfügung, die alle Phasen vom Entwurf über Prototyping bis hin zur Realisierung unterstützen. Die Fortschritte bei FPGAs und leistungsfähigere Prozessoren mit flexibler Peripherie machen aber dem reinen Digital-ASIC das Feld streitig. Entsprechend sinkt das Angebot an Gate-Arrays

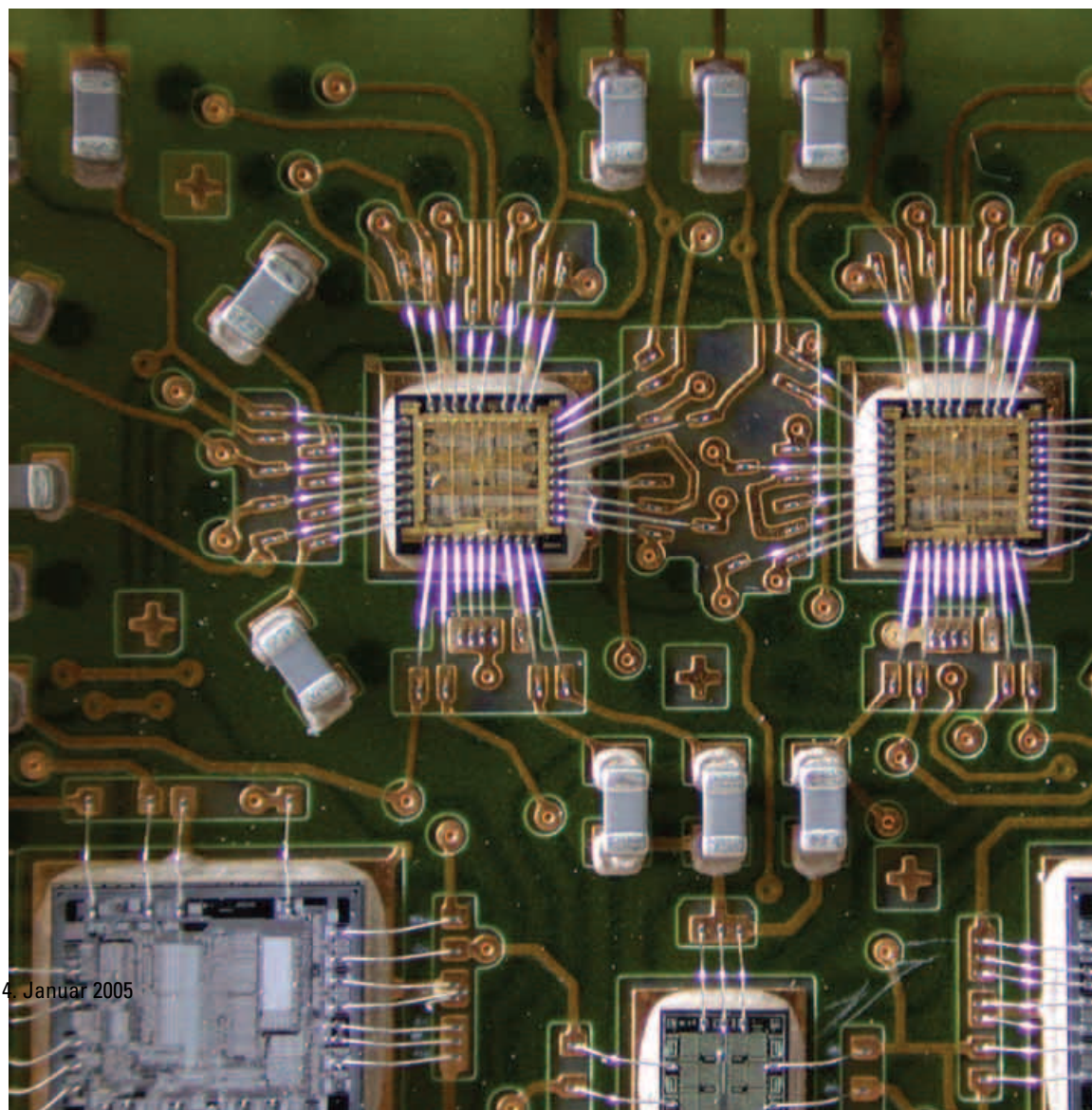
*Dr. Michael Scheffler ist Produktionsleiter, Dr. Thomas Gillen ist Hardware-Entwicklungsleiter bei der Art of Technology AG, Zürich.

HDP contra ASIC-Design

Miniaturisierungskonkurrenten oder synergetische Partner?

Heute besteht ein ständiger Zwang zur Produktinnovation: mehr Funktionalität, erhöhte Portabilität/Volumen-, Gewichtsreduktion, reduzierte Leistungsaufnahme. Dieser Zwang erfordert stetige Produktweiterentwicklung und höhere Integration bei gleichen oder geringeren Stückkosten. Zur Erreichung dieser Ziele bieten sich auf dem Markt neben kontinuierlicher Überarbeitung der Schaltungsprinzipien vor allem ASICs und HDP (High Density Packaging) als Integrationstechnologien an.

*Dr. Michael Scheffler, Dr. Thomas Gillen**



mit Komplexitäten bis zu etwa 100 000 Gattern bei gleichzeitig steigenden NRE-Kosten und Mindeststückzahlen.

Der Vorteil einer ASIC-Integration im rein digitalen Bereich liegt in der Größenreduktion, der Kapselung der Schaltungskomplexität und den niedrigeren Stückkosten verglichen mit zugekauften Bauteilen bei relativ geringem Integrationsrisiko.

Bereits bei der Integration von nicht flüchtigem Speicher muss abgewogen werden: ein gemischter CMOS/Flash-Prozess liegt in seinen Fertigungskosten etwa 30% höher als ein reiner CMOS-Prozess. Hier bietet HDP die Möglichkeit, durch geschickte Partitionierung des Systems die Integrationslast zu verteilen und die Kosten zu optimieren, indem für Standardaufgaben (Speicher, Prozessor) dedi-

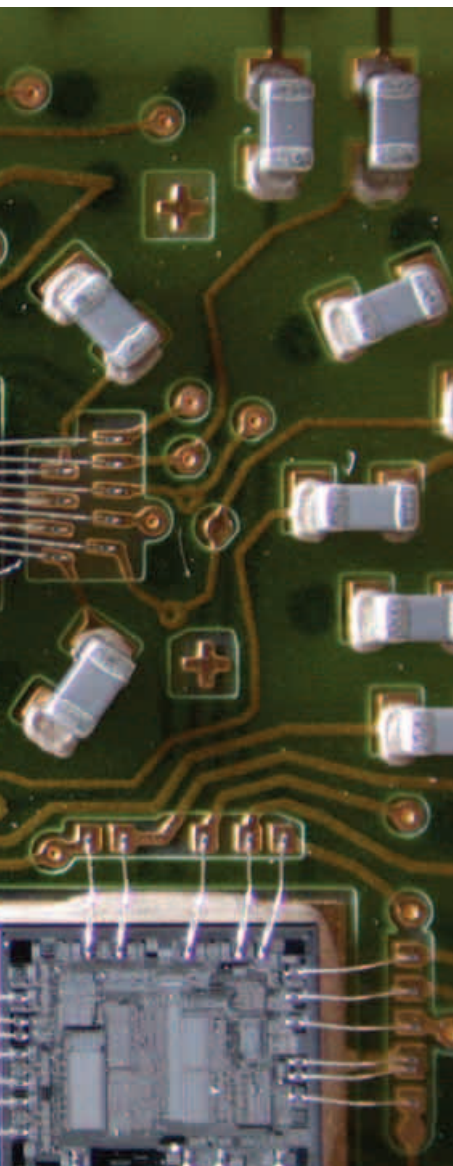
zierte Chips eingesetzt werden, und nur der Rest in einem kundenspezifischen ASIC realisiert wird.

Rein analoge Schaltungen sind ebenfalls gut geeignet für eine ASIC-Integration, da sie standardmäßig oft nur durch eine Vielzahl von diskreten Bauteilen implementiert werden können, sie erfordern aber sehr gute Spezifikation des zu integrierenden Systemteils.

Mixed-Signal-Anwendungen hingegen sind komplex im Design und aufwändig in der Prozessrealisierung: Logikkomponenten müssen z.B. entweder in einen Bi-CMOS-Prozess transferiert werden, oder analoge Elemente sind in CMOS zu portieren. Aufgrund der widerstrebenden Anforderungen müssen dann oft wichtige System-Features geopfert werden, was letztlich zur Unzufriedenheit mit dem Ergebnis führt. Kommt noch der Wunsch nach der Integration von z.B. optischen Komponenten oder Flash-Speicher, so steigt das Risiko exponentiell.

Dieses Risiko wird von ASIC-Entwicklern oft auch als Herausforderung verstanden, das Management hingegen über mögliche Risiken und Back-up-Strategien im unklaren gelassen. Leidvolle Erfahrungen gerade bei Mittelständlern im Mixed-Signal-Bereich sind allseits bekannt, und nicht selten musste ein ambitioniertes Projekt unvollendet abgebrochen oder mit sehr niedriger Prozessausbeute beendet werden.

HDP bietet bei Mixed Signal den Vorteil, Standardkomponenten und ASICs miteinander kombinieren zu können, wobei jede Teilschaltung im jeweils optima-



Teilansicht HDP-9:4-Satelliten-Switch-Modul: bestehend aus zwei 5:4 HF-Switch-ASICs (oben) und zwei Standard-Controllern mit einem Spannungsinverter (unten)

	ASIC	HDP-Technologien
Systemgröße	am kleinsten	sehr klein
Stückkosten	am kleinsten (für eingefahrenen Prozess mit hoher Ausbeute)	klein
Initiale Entwicklungskosten	hoch bis sehr hoch (einige 100K bis über 1 Mio. €)	moderat (wenige 10K bis 100K €)
Erforderliche Stückzahlen/Jahr	>100 000 Stück	schon ab 100 Stück
Design-Risiko	oft sehr hoch, v.a. bei Mixed-Signal-Anwendungen	relativ niedrig
Verfügbarkeit Prototypen ab Projektstart	ca. 12 bis 24 Monate	ca. 4 bis 6 Monate
Typische Anwendungsfelder	Consumerelektronik, Mobiltelefone, Automobil ...	Medizin, Industrie, Sensoren, Automobil, Luft- und Raumfahrt ...

Tabelle: Zusammenfassender Vergleich zwischen HDP-Technologien und dem ASIC-Design

len Prozess realisiert werden kann. Die Kapselung wird dann auf Gehäuse- oder Modulseite vorgenommen, wobei das Resultat nicht zwingend größer oder teurer sein muss als die angestrebte Einchip-Lösung!

Stückzahl entscheidend für ASIC-Rentabilität

Eine ASIC-Entwicklung bedeutet immer einen beträchtlichen Aufwand hinsichtlich Entwicklungszeit und -aufwand, Einmalkosten, Prototypendurchlaufzeit und -kosten. Der Baustein muss dann noch gehäust und qualifiziert

werden. Ein gewisses Mindestvolumen ist also erforderlich, über die 3M-Daumenregel (1 Mio. Gatter, 1 Mio. Stück oder 1 Mio. Bauteilwert) mag man streiten.

Der Lohn dieser Mühen besteht in der später zu erwartenden Reduktion der Stückkosten durch die „Economics of Scale“ und der Tatsache, dass nur das integriert ist, was wirklich benötigt wird. Jedoch muss der Aufwand stets über die projektierte Stückzahl abgeschrieben werden, etwaige Prozessänderungen/-migrationen laufen mindestens auf eine Neuqualifikation,

eventuell auf ein Redesign hinaus.

Im Bereich der Einmalkosten muss man mindestens von knapp unter 100 000 € für einen Silizium-Run inkl. Masken z.B. für einen Semi-custom-Mixed-Signal-ASIC ausgehen, bei komplexen digitalen Designs sind schnell mehrere 100 000 € erforderlich, die pro benötigtem Run (z.B. bei der Beseitigung von Fehlern) anfallen! Die Designkosten sind dabei noch nicht berücksichtigt, liegen aber mindestens im gleichen Rahmen.

Hinsichtlich Prototypen- und Einmalkosten bieten die sog. MPW-(Multi-Project-Wafer-)Runs eine gute Alternative zur Kostenreduktion, allerdings zum Preis der Flexibilität (bestimmte Prozesse nur ein Run pro Jahr, fixe Termine, etc.). Danach muss dann noch der Transfer zu einem Volumenhersteller gemacht werden. Bei Losen von bis zu 20 Wafern auf 6- bis 8"-Linien und kleinen Siliziumflächen werden in einem Los schnell einige 10 000 Stück und mehr produziert, die u.U. dem Bedarf für mehrere Jahre entsprechen, was hohe Kapitalbindung und geringe Flexibilität nach sich zieht. Dafür besteht auf längere Zeit ein Schutz vor Bauteilabkündigungen.

Designphasen dauern von mehreren Monaten bis zu Jahren (bei komplexesten

Designs), Prototypen-Runs brauchen 2 bis 4 Monate, wobei wiederum noch getestet und gehäust werden muss.

Im Low-Volume-Bereich hat sich bei rein digitalen Designs durch die weite Verbreitung von CPLDs und FPGAs die minimale Stückzahl stärker nach oben verschoben als bei den Mixed-Mode-Designs. Der Einsatz von vorstrukturierten ASICs, auch im analogen Bereich (Analog Gate Array) gestattet eine kostengünstige Realisierung auch bei geringeren Stückzahlen, allerdings mit reduzierter Flexibilität.

HDP ist prinzipiell von kleinsten bis zu mittleren Stückzahlen geeignet, bei größten Stückzahlen wird es in Kombination mit ASICs eingesetzt (z.B. Chip-on-Board in Uhren oder Spielzeugen aus Fernost). Die erforderlichen „Bare Dice“ sind meistens entweder als Samples oder in Kleinstmengen von einigen 100 Stück (entspricht einem Wafer) erhältlich. Anfangs skeptische Lieferanten lassen sich – je nach Produkt – manchmal schon ab einem Volumen von mehreren 10 000 Stück/Jahr umstimmen, Volumina, die für die meisten ASIC-Hersteller uninteressant sind.

Die HDP-Entwicklungszeiten hängen von der Komponentenverfügbarkeit ab und liegen (inkl. Prototypenlieferung) in etwa bei 4 bis 6 Monaten. Die Entwicklungskosten für den Transfer eines Designs auf eine HDP-Lösung liegen je nach Komplexität zwischen 25 000 und 50 000 €, Prototypen schlagen meistens mit 10 000 bis 20 000 € zu Buche. (hh)

Art of Technology
Fax +41(0)43311 7799

www.elektronikpraxis.de

Dienstleistungen von Art of Technology

InfoClick 136197

HDP und ASIC

HDP und ASIC sind zwei unterschiedliche Integrationstechnologien mit jeweils spezifischen Vor- und Nachteilen, die sich nicht gegenseitig ausschließen, sondern vielmehr ergänzen. Ein HDP-System kann immer später als ASIC realisiert werden, und ein ASIC kann natürlich auch wiederum in einem HDP-Design eingesetzt werden, um den nächsten Integrationsschritt zu machen! Grundsätzlich kann man aber HDP als die „kleine“ Lösung ansehen, bei der schneller Ergebnisse mit weniger Risiko für kleinere Volumina verfügbar

sind. ASICs sind durch die Komplexität des Designs und der Tools eher für Mittelfriststrategien und hohe Volumina einzusetzen, wobei die niedrigen Stückkosten und reduzierter Montageaufwand auf Board-Ebene die treibenden Kräfte sind (siehe Tabelle). Die Beantwortung der Eingangsfrage lautet also: HDP und ASIC sind synergetische Partner, die in einer optimalen Kombination geeignete Integrationslösungen für jeden Schaltungstyp, hohe und niedrige Komplexität und beliebige Stückzahlen darstellen.